

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

014312632 **Image available**

WPI Acc No: 2002-133334/200218

XRAM Acc No: C02-041044

XRPX Acc No: N02-100742

Thin film transistor has metal film formed at bottom of polycrystalline silicon film through insulating layer

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|---------------|------|----------|-------------|------|----------|----------|
| JP 2001102585 | A | 20010413 | JP 99274092 | A | 19990928 | 200218 B |

Priority Applications (No Type Date): JP 99274092 A 19990928

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|---------------|------|--------|--------------|--------------|
| JP 2001102585 | A | 9 | H01L-029/786 | |

Abstract (Basic): JP 2001102585 A

NOVELTY - A polycrystalline silicon film (13) is formed on a glass substrate via an insulating layer. A gate electrode (15) is formed on the film (13) through a gate insulating film (14). A metal film (31) is formed at the bottom of polycrystalline silicon film through insulating layer.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for:

- (a) thin film integrated circuit apparatus;
- (b) production method of thin film transistor;
- (c) production method of thin film integrated circuit apparatus;

and

- (d) liquid crystal display device

USE - For active type liquid crystal display device.

ADVANTAGE - Heat acts multiplicatively to polycrystalline silicon film, thus activated efficiency can be enhanced. The lamp power of annealing can be made high or damage of glass substrate due to lengthening an irradiation time can be prevented. High definition liquid crystal display panel with improved characteristics is obtained.

DESCRIPTION OF DRAWING(S) - The drawing shows manufacturing process sectional view of n-type thin film transistor. (The drawing includes non-English language text).

polycrystalline silicon film (13)

gate insulating film (14)

gate electrode (15)

metal film (31)

pp; 9 DwgNo 1/4

Title Terms: THIN; FILM; TRANSISTOR; METAL; FILM; FORMING; BOTTOM; POLYCRYSTALLINE; SILICON; FILM; THROUGH; INSULATE; LAYER

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): G02F-001/1368; H01L-021/265; H01L-021/336

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAP10
(c) 2003 JPO & JAP10. All rts. reserv.

06875080 **Image available**
THIN-FILM TRANSISTOR, THIN-FILM INTEGRATED CIRCUIT DEVICE, MANUFACTURING
METHOD OF THEM, AND LIQUID CRYSTAL DISPLAY

PUB. NO.: 2001-102585 [JP 2001102585 A]
PUBLISHED: April 13, 2001 (20010413)
INVENTOR(s): YAMAMOTO TAKASHI
FURUTA MAMORU
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD
APPL. NO.: 11-274092 [JP 99274092]
FILED: September 28, 1999 (19990928)
INTL CLASS: H01L-029/786; G02F-001/1368; H01L-021/265; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To improve efficiencies of the activations of the drain and source regions of a thin-film transistor, without having to increase its elemental size and the risk of damages to its glass substrate.

SOLUTION: In this manufacturing method of a thin-film transistor, an island-form metallic film 31 is formed on a glass substrate 11. Then, after forming thereon a buffer layer 12 of an insulation layer, an island-form polycrystalline silicon film 13 is formed thereon. After forming a gate insulation film 14 and a gate electrode 15, by using the gate electrode 15 as a mask, an n-type impurity is implanted into the film 13 to form LDD regions. Then, by covering the LDD regions with a photoresist 25, an n-type impurity is implanted into the film 13 to form drain and source regions. Furthermore, through RTA, the activation processing of the implanted impurity is performed. Thereby, by accumulating in the metallic film 31 the heat radiated by RTA, not only the poly-Si film 13 absorbs the Xe-lamp light of the RTA, but also heat fed to it from the metallic film 31 to make improvable the efficiencies of the activations of the drain and source regions.

COPYRIGHT: (C)2001, JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-102585
(P2001-102585A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.⁷
H 01 L 29/786
G 02 F 1/1368
H 01 L 21/265
21/336

識別記号

6 0 2

F I
H 01 L 21/265
29/78
G 02 F 1/136
H 01 L 29/78
6 0 2 B 2 H 0 9 2
6 2 6 C 5 F 1 1 0
5 0 0
6 1 3 A
6 1 6 L

テマコト[®] (参考)

審査請求 未請求 請求項の数13 OL (全9頁) 最終頁に続く

(21) 出願番号 特願平11-274092

(22) 出願日 平成11年9月28日 (1999.9.28)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 山本 貴史

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 古田 守

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100076174

弁理士 宮井 眞夫

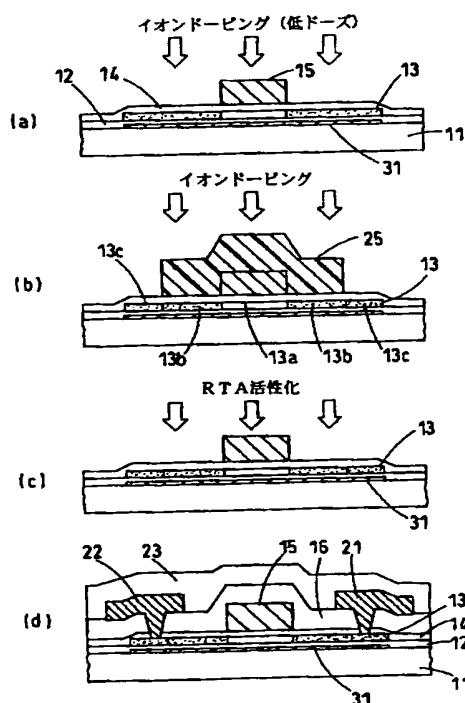
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよび薄膜集積回路装置とそれらの製造方法と液晶表示装置

(57) 【要約】

【課題】 薄膜トランジスタの素子サイズを大きくしたり、ガラス基板の損傷を懸念したりすることなく、ソースおよびドレイン領域の活性化の効率を高める。

【解決手段】 ガラス基板11上に島状の金属膜31を形成する。次に絶縁層のバッファー層12を形成後、その上に島状の多結晶シリコン膜13を形成する。ゲート絶縁膜14、ゲート電極15を形成後、ゲート電極15をマスクとしてLDD領域を形成するためn型不純物を注入する。LDD領域をフォトレジスト25で被覆しソースおよびドレイン領域を形成するためn型不純物を注入する。RTAにより、注入した不純物の活性化処理を行う。金属膜31がRTAによる熱を蓄積し、poly-Si膜13には、RTAのXeランプ光の吸収に加え、金属膜31からも熱供給が行われ、活性化の効率を高めることができる。



【特許請求の範囲】

【請求項1】 ガラス基板上に絶縁層を介して島状の多結晶シリコン膜を形成し、前記多結晶シリコン膜上にゲート絶縁膜を介してゲート電極を形成し、前記多結晶シリコン膜にソースおよびドレイン領域を形成した薄膜トランジスタであって、前記多結晶シリコン膜の下に前記絶縁層を介して金属膜を設けたことを特徴とする薄膜トランジスタ。

【請求項2】 金属膜は、島状の多結晶シリコン膜と同じ大きさまたはそれよりも若干大きい形状であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 ガラス基板上に絶縁層を介して島状の多結晶シリコン膜を形成し、前記多結晶シリコン膜上にゲート絶縁膜を介してゲート電極を形成し、前記多結晶シリコン膜にソースおよびドレイン領域を形成した薄膜トランジスタの製造方法であって、前記絶縁層を形成する前に、前記ガラス基板上に金属膜を形成する工程と、

前記ソースおよびドレイン領域を形成するための不純物を注入する工程と、

紫外域から赤外域までの広波長域の非可干渉性の光を発する光源を用いてアニールすることにより前記不純物の活性化処理を行う工程とを含むことを特徴とする薄膜トランジスタの製造方法。

【請求項4】 金属膜は、島状の多結晶シリコン膜と同じ大きさまたはそれよりも若干大きい形状に形成することを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【請求項5】 金属膜とゲート電極とを同一材料で形成することを特徴とする請求項3または4記載の薄膜トランジスタの製造方法。

【請求項6】 アニールはガラス基板の両面に光を照射することを特徴とする請求項3、4または5記載の薄膜トランジスタの製造方法。

【請求項7】 ガラス基板上に絶縁層を介して島状の多結晶シリコン膜を形成し、前記多結晶シリコン膜上にゲート絶縁膜を介してゲート電極を形成し、前記多結晶シリコン膜にソースおよびドレイン領域を形成したn型およびp型の薄膜トランジスタを備えた薄膜集積回路装置であって、

前記n型薄膜トランジスタの多結晶シリコン膜の下に前記絶縁層を介して金属膜を設けたことを特徴とする薄膜集積回路装置。

【請求項8】 金属膜は、n型薄膜トランジスタの島状の多結晶シリコン膜と同じ大きさまたはそれよりも若干大きい形状であることを特徴とする請求項7記載の薄膜集積回路装置。

【請求項9】 ガラス基板上に絶縁層を介して島状の多結晶シリコン膜を形成し、前記多結晶シリコン膜上にゲート絶縁膜を介してゲート電極を形成し、前記多結晶シリコン膜にソースおよびドレイン領域を形成したn型薄膜トランジスタを備えた薄膜集積回路装置。

リコン膜にソースおよびドレイン領域を形成したn型およびp型の薄膜トランジスタを備えた薄膜集積回路装置の製造方法であって、

前記絶縁層を形成する前に、前記n型薄膜トランジスタ形成領域のガラス基板上に金属膜を形成するとともに、前記n型薄膜トランジスタのソースおよびドレイン領域を形成するためのn型不純物を注入した後で、かつ前記p型薄膜トランジスタのソースおよびドレイン領域を形成するためのp型不純物を注入する前に、紫外域から赤外域までの広波長域の非可干渉性の光を発する光源を用いてアニールすることにより前記n型不純物の活性化処理を行うことを特徴とする薄膜集積回路装置の製造方法。

【請求項10】 金属膜は、n型薄膜トランジスタの島状の多結晶シリコン膜と同じ大きさまたはそれよりも若干大きい形状に形成することを特徴とする請求項9記載の薄膜集積回路装置の製造方法。

【請求項11】 金属膜とゲート電極とを同一材料で形成することを特徴とする請求項9または10記載の薄膜集積回路装置の製造方法。

【請求項12】 アニールはガラス基板の両面に光を照射することを特徴とする請求項9、10または11記載の薄膜集積回路装置の製造方法。

【請求項13】 複数の画素電極とこの各画素電極に接続された複数のn型薄膜トランジスタとを設けた第1の基板と、前記画素電極と対向配置する透明電極を設けた第2の基板との間に、液晶層を挟持し、前記第1の基板の外側にパックライトを配置した液晶表示装置であつて、

前記n型薄膜トランジスタとして請求項1または2記載の薄膜トランジスタを用いたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ガラス基板上に絶縁層を介して設けられた薄膜トランジスタ(TFT)、またそれらを応用した薄膜集積回路装置、アクティブ型液晶表示装置(液晶ディスプレー)に関し、またそれらの薄膜トランジスタおよび薄膜集積回路装置の製造方法に関する。

【0002】

【従来の技術】近年、ガラス等の絶縁基板上に薄膜トランジスタを有する装置、例えば、薄膜トランジスタを画素の駆動に用いるアクティブ型液晶表示装置が開発されている。これらの装置に用いられる薄膜トランジスタには、薄膜状のシリコン半導体を用いるのが一般的である。薄膜状のシリコン半導体の中で、結晶性を有する多結晶シリコンからなるものがあり、この多結晶シリコン薄膜トランジスタは非晶質シリコン薄膜トランジスタに比べて電子移動度が2桁以上大きく、素子の微細化や駆

動回路を同一基板上に集積可能である等の利点を有している。近年液晶表示装置の分野では、この多結晶シリコン薄膜トランジスタを用いた駆動回路内蔵型薄膜トランジスタアレイを安価で大面積化が容易なガラス基板上に作製する技術の開発が活発であり、一部で実用化が始まっている。

【0003】多結晶シリコン薄膜トランジスタを低温度で形成するには、多結晶シリコン薄膜の低温形成技術と同時に、多結晶シリコン薄膜へ注入した不純物の低温活性化手法の開発が重要である。大面積基板に低温度で良質な多結晶シリコン薄膜を形成する技術としては通常エキシマレーザーによる低温結晶化手法が用いられる。一方、活性化には通常加熱炉による熱アニールが用いられることが多いが、熱アニールの場合は処理温度を下げるほど活性化率が大きく低下するという課題がある。これらの課題に対して、さらに高温でしかも短時間にアニールを行い活性化率を向上する手法として、高パワーの光を照射するランプアニール（以下「RTA（Rapid Thermal Anneal）」という）やエキシマレーザー活性化が提案されている。RTA活性化に関しては例えば電子ディスプレイフォーラム'96 講演集1-23-1-28に記載されている。RTAは、紫外域から赤外域までの広波長域の非可干渉性の光を発する光源を用いてアニールするものである。

【0004】従来の液晶表示装置に用いられるアクティマトリックスアレイ用薄膜トランジスタの製造方法を図面を参照しながら説明する。図4はその従来の薄膜トランジスタの製造方法を示す工程断面図である。

【0005】まず図4(a)に示すように、ガラス基板11にプラズマCVD法にてバッファー層12となる酸化シリコン膜を400nm形成する。その後、バッファー層12を形成したガラス基板11を大気中に取り出すことなくプラズマCVD法にて非晶質シリコン(a-Si)膜を50nm堆積する。ついでa-Si膜中の水素を低減するため1Torrの減圧窒素雰囲気下で400~450°C、60分程度の熱処理を行った後、エキシマレーザーアニールにてa-Si膜を多結晶化して多結晶シリコン(poly-Si)膜13を形成する。エキシマレーザーは波長308nmのXeClエキシマレーザーを用い、照射は真空中、エネルギー密度は350mJ/cm²、平均照射数は35shot/pointである。a-Si膜を結晶化してpoly-Si膜13を形成した後、poly-Si膜13を薄膜トランジスタの形状に加工し、ゲート絶縁膜14となる酸化シリコン膜を90nm形成する。その後Mo・W合金からなるゲート電極15を形成し、ゲート電極15をマスクとして薄膜トランジスタにLDD領域を形成するため不純物を注入する。ここでは燐イオンを加速電圧70keV、ドーズ量1×10¹³/cm²にて注入した。

【0006】次に図4(b)に示すように、薄膜トランジ

スタのLDD領域を被覆するようにフォトレジスト25にて不純物注入用のマスクを形成し、ソースおよびドレイン領域を形成するため不純物を注入する。ここでは燐イオンを加速電圧70keV、ドーズ量1×10¹⁵/cm²にて注入した。図4(b)において、13aはチャネル領域となる真性半導体領域、13bはLDD領域となる低濃度n型不純物注入領域、13cはソースおよびドレイン領域(SD領域)となる高濃度n型不純物注入領域である。

【0007】次に図4(c)に示すように、RTAにより、注入した不純物の活性化処理を行う。活性化に使用したRTA装置は、光源にはXeアーチランプを用いており、ランプパワーは20kW、基板送り速度は15m/m/sである。

【0008】次に図4(d)に示すように、層間絶縁膜16となる酸化シリコン膜を200nm形成した。層間絶縁膜16を形成後、ソースおよびドレイン領域上の絶縁膜にコンタクトホールを開口し、TiとAlの積層膜からなる配線21、22を形成する。最後に窒化シリコンからなる保護絶縁膜23を形成し、水素雰囲気でのアニールを行うことで、poly-Si膜13中の未結合手を水素にて補償し特性を向上させ薄膜トランジスタが完成する。

【0009】

【発明が解決しようとする課題】しかしながら、従来例に示したRTAによる活性化は、poly-Si膜13での熱吸収による温度上昇が支配的なため、poly-Si膜13の面積で熱容量が変化し、活性化の効率を高めるためにはpoly-Si膜13の面積を大きくするか、RTAのランプパワーを高くし、基板の送りスピードを遅くして長時間の照射を行わなければならない。これらのこととは、薄膜トランジスタの素子サイズが大きくなり、前述のように液晶表示装置に用いられている場合、高精細な液晶表示パネルが実現できなくなり、またガラス基板の損傷も懸念されてくる。

【0010】本発明の目的は、薄膜トランジスタの素子サイズを大きくしたり、ガラス基板の損傷を懸念したりすることなく、ソースおよびドレイン領域の活性化の効率を高めることができる薄膜トランジスタおよび薄膜集積回路装置とそれらの製造方法と液晶表示装置を提供することである。

【0011】

【課題を解決するための手段】請求項1記載の薄膜トランジスタは、ガラス基板上に絶縁層を介して島状の多結晶シリコン膜を形成し、多結晶シリコン膜上にゲート絶縁膜を介してゲート電極を形成し、多結晶シリコン膜にソースおよびドレイン領域を形成した薄膜トランジスタであって、多結晶シリコン膜の下に絶縁層を介して金属膜を設けたことを特徴とする。

【0012】この構成によれば、多結晶シリコン膜のソ

ースおよびドレイン領域のアニールによる活性化を行う際、多結晶シリコン膜の下に絶縁層を介して設けられた金属膜にアニールによる熱が吸収蓄積され、その熱が多結晶シリコン膜に対して相乗的に作用し、活性化の効率を高めることができる。したがって、活性化の効率を高めるために、多結晶シリコン膜の面積を大きくしたり、アニールのランプパワーを高くしたり照射時間を長くする必要がないため、素子サイズの増加やガラス基板の損傷を防止することができる。

【0013】請求項2記載の薄膜トランジスタは、請求項1記載の薄膜トランジスタにおいて、金属膜は、島状の多結晶シリコン膜と同じ大きさまたはそれよりも若干大きい形状であることを特徴とする。これにより、金属膜がアニールにより吸収した熱を多結晶シリコン膜に効果的に供給することができ、より活性化の効率を高めることができる。

【0014】請求項3記載の薄膜トランジスタの製造方法は、ガラス基板上に絶縁層を介して島状の多結晶シリコン膜を形成し、多結晶シリコン膜上にゲート絶縁膜を介してゲート電極を形成し、多結晶シリコン膜にソースおよびドレイン領域を形成した薄膜トランジスタの製造方法であって、絶縁層を形成する前に、ガラス基板上に金属膜を形成する工程と、ソースおよびドレイン領域を形成するための不純物を注入する工程と、紫外域から赤外域までの広波長域の非可干渉性の光を発する光源を用いてアニールすることにより不純物の活性化処理を行う工程とを含むことを特徴とする。

【0015】この製造方法によれば、多結晶シリコン膜のソースおよびドレイン領域の不純物のアニールによる活性化を行う際、多結晶シリコン膜の下に絶縁層を介して設けられた金属膜にアニールによる熱が吸収蓄積され、その熱が多結晶シリコン膜に対して相乗的に作用し、活性化の効率を高めることができる。したがって、活性化の効率を高めるために、多結晶シリコン膜の面積を大きくしたり、アニールのランプパワーを高くしたり照射時間を長くする必要がないため、素子サイズの増加やガラス基板の損傷を防止することができる。

【0016】請求項4記載の薄膜トランジスタの製造方法は、請求項3記載の薄膜トランジスタの製造方法において、金属膜は、島状の多結晶シリコン膜と同じ大きさまたはそれよりも若干大きい形状に形成することを特徴とする。これにより、金属膜がアニールにより吸収した熱を多結晶シリコン膜に効果的に供給することができ、より活性化の効率を高めることができる。

【0017】請求項5記載の薄膜トランジスタの製造方法は、請求項3または4記載の薄膜トランジスタの製造方法において、金属膜とゲート電極とを同一材料で形成することを特徴とする。これにより、金属膜とゲート電極の形成膜を成膜するのに同一装置で行える。

【0018】請求項6記載の薄膜トランジスタの製造方

法は、請求項3、4または5記載の薄膜トランジスタの製造方法において、アニールはガラス基板の両面に光を照射することを特徴とする。これにより、活性化の効率をさらにより高めることができる。

【0019】請求項7記載の薄膜集積回路装置は、ガラス基板上に絶縁層を介して島状の多結晶シリコン膜を形成し、多結晶シリコン膜上にゲート絶縁膜を介してゲート電極を形成し、多結晶シリコン膜にソースおよびドレイン領域を形成したn型およびp型の薄膜トランジスタを備えた薄膜集積回路装置であって、n型薄膜トランジスタの多結晶シリコン膜の下に絶縁層を介して金属膜を設けたことを特徴とする。

【0020】この構成によれば、n型薄膜トランジスタの多結晶シリコン膜のソースおよびドレイン領域のアニールによる活性化を行う際、多結晶シリコン膜の下に絶縁層を介して設けられた金属膜にアニールによる熱が吸収蓄積され、その熱が多結晶シリコン膜に対して相乗的に作用し、活性化の効率を高めることができる。したがって、従来のように活性化の効率を高めるため、多結晶シリコン膜の面積を大きくすることによる素子サイズの増加や、アニールのランプパワーを高くしたり照射時間を長くすることによるガラス基板の損傷を防止することができる。

【0021】請求項8記載の薄膜集積回路装置は、請求項7記載の薄膜集積回路装置において、金属膜は、n型薄膜トランジスタの島状の多結晶シリコン膜と同じ大きさまたはそれよりも若干大きい形状であることを特徴とする。これにより、金属膜がアニールにより吸収した熱を多結晶シリコン膜に効果的に供給することができ、より活性化の効率を高めることができる。

【0022】請求項9記載の薄膜集積回路装置の製造方法は、ガラス基板上に絶縁層を介して島状の多結晶シリコン膜を形成し、多結晶シリコン膜上にゲート絶縁膜を介してゲート電極を形成し、多結晶シリコン膜にソースおよびドレイン領域を形成したn型およびp型の薄膜トランジスタを備えた薄膜集積回路装置の製造方法であって、絶縁層を形成する前に、n型薄膜トランジスタ形成領域のガラス基板上に金属膜を形成するとともに、n型薄膜トランジスタのソースおよびドレイン領域を形成するためのn型不純物を注入した後で、かつp型薄膜トランジスタのソースおよびドレイン領域を形成するためのp型不純物を注入する前に、紫外域から赤外域までの広波長域の非可干渉性の光を発する光源を用いてアニールすることによりn型不純物の活性化処理を行うことを特徴とする。

【0023】この製造方法によれば、n型薄膜トランジスタの多結晶シリコン膜のソースおよびドレイン領域のn型不純物のアニールによる活性化を行う際、多結晶シリコン膜の下に絶縁層を介して設けられた金属膜にアニールによる熱が吸収蓄積され、その熱が多結晶シリコン

膜に対して相乗的に作用し、活性化の効率を高めることができる。したがって、従来のように活性化の効率を高めるため、多結晶シリコン膜の面積を大きくすることによる素子サイズの増加や、アニールのランプパワーを高くしたり照射時間を長くすることによるガラス基板の損傷を防止することができる。

【0024】請求項10記載の薄膜集積回路装置の製造方法は、請求項9記載の薄膜集積回路装置の製造方法において、金属膜は、n型薄膜トランジスタの島状の多結晶シリコン膜と同じ大きさまたはそれよりも若干大きい形状に形成することを特徴とする。これにより、金属膜がアニールにより吸収した熱を多結晶シリコン膜に効果的に供給することができ、より活性化の効率を高めることができる。

【0025】請求項11記載の薄膜集積回路装置の製造方法は、請求項9または10記載の薄膜集積回路装置の製造方法において、金属膜とゲート電極とを同一材料で形成することを特徴とする。これにより、金属膜とゲート電極の形成膜を成膜するのに同一装置で行える。

【0026】請求項12記載の薄膜集積回路装置の製造方法は、請求項9、10または11記載の薄膜集積回路装置において、アニールはガラス基板の両面に光を照射することを特徴とする。これにより、活性化の効率をさらにより高めることができる。

【0027】請求項13記載の液晶表示装置は、複数の画素電極とこの各画素電極に接続された複数のn型薄膜トランジスタとを設けた第1の基板と、画素電極と対向配置する透明電極を設けた第2の基板との間に、液晶層を挟持し、第1の基板の外側にバックライトを配置した液晶表示装置であって、n型薄膜トランジスタとして請求項1または2記載の薄膜トランジスタを用いたことを特徴とする。

【0028】これにより、n型薄膜トランジスタの素子サイズを小さくし、高精細な液晶表示パネルを実現できる。また、薄膜トランジスタに設けられた金属膜がバックライトの光の多結晶シリコン膜への入射を遮断するため、バックライト光による光電流の発生を抑制する効果も得られ、クロストークの発生も抑制でき、液晶表示装置の表示特性を向上させることができる。

【0029】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。以下で説明する第1および第2の実施の形態では、n型薄膜トランジスタとp型薄膜トランジスタとを有する薄膜集積回路装置について説明する。

【0030】【第1の実施の形態】図1および図3は本発明の第1の実施の形態の薄膜集積回路装置の製造方法を示し、図1は同薄膜集積回路装置におけるn型薄膜トランジスタの製造工程断面図、図3は同薄膜集積回路装置におけるp型薄膜トランジスタの製造工程断面図であ

る。

【0031】まず図1(a)に示すように、ガラス基板11にスパッタ法にてMo・W合金からなる金属膜31を100nm形成し、その金属膜31を島状に加工する。次にプラズマCVD法にてバッファー層12(絶縁層)となる酸化シリコン膜を400nm形成する。その後、バッファー層12を形成したガラス基板11を大気中に取り出すことなくプラズマCVD法にて非晶質シリコン(a-Si)膜を50nm堆積する。ついでa-Si膜中の水素を低減するため1Torrの減圧窒素雰囲気下で450℃、60分の熱処理を行った後、エキシマレーザーアニールにてa-Si膜13を多結晶化して多結晶シリコン(poly-Si)膜13を形成する。エキシマレーザーは波長308nmのXeClエキシマレーザーを用い、照射は真空中、エネルギー密度は350mJ/cm²、平均照射数は35shot/pointである。a-Si膜を結晶化してpoly-Si膜13を形成した後、poly-Si膜13を島状に加工する。本実施の形態では島状のpoly-Si膜13と同一形状となるように、金属膜31を加工している。次に、ゲート絶縁膜14となる酸化シリコン膜90nmを形成し、その上に、Mo・W合金からなるゲート電極15を形成する。以上はn型薄膜トランジスタの工程について説明しているが、p型薄膜トランジスタについては島状の金属膜31以外は同時に形成され、ここまで工程で図3(a)に示されるゲート電極15まで形成される。

【0032】続いて図1(a)に示されるn型薄膜トランジスタ領域では、ゲート電極15をマスクとしてLDD領域を形成するためn型不純物を注入する。ここでは燐イオンを加速電圧70keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ にて注入した。

【0033】次に図1(b)に示すように、n型薄膜トランジスタのLDD領域を被覆するようにフォトレジスト25にて不純物注入用のマスクを形成し、n型薄膜トランジスタのソースおよびドレイン領域を形成するためn型不純物を注入する。ここでは燐イオンを加速電圧70keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ にて注入した。図1(b)において、13aはチャネル領域となる真性半導体領域、13bはLDD領域となる低濃度n型不純物注入領域、13cはソースおよびドレイン領域(SD領域)となる高濃度n型不純物注入領域である。

【0034】続いて図1(c)に示すように、RTAにより、注入した不純物の活性化処理を行う。活性化に使用したRTA装置は光源がXeランプで、ランプパワーは14kW、基板送り速度は14mm/秒である。

【0035】次に図3(a)に示されるp型薄膜トランジスタ領域に、ソースおよびドレイン領域を形成するためゲート電極15をマスクとしてp型不純物を注入する。ここでは硼素イオンを加速電圧60keV、ドーズ量 $1 \times 10^{14}/\text{cm}^2$ にて注入した。図3(a)において、1

3 d はチャネル領域となる真性半導体領域、1 3 e はソースおよびドレイン領域（S D 領域）となる p 型不純物注入領域である。

【0 0 3 6】次に図 1 (d) および図 3 (b) に示されるように、n 型および p 型薄膜トランジスタ領域に、層間絶縁膜 1 6 となる酸化シリコン膜を 2 0 0 nm 形成する。層間絶縁膜 1 6 の形成後に p 型薄膜トランジスタ領域に注入した p 型不純物の活性化を R T A または熱炉にて行う。その後、コントクトホールを開口し、T i と A i の積層膜からなる配線 2 1, 2 2 を形成する。最後に、窒化シリコンからなる保護絶縁膜 2 3 を形成し、水素雰囲気でのアニールを行うことで、poly-S i 膜 1 3 中の未結合手を水素にて補償し特性を向上させ薄膜トランジスタが完成する。アニールは 2 5 0 ℃～4 0 0 ℃ の温度範囲で 3 0 分～3 時間程度行なうことが望ましく、ここではアニール温度 3 5 0 ℃、アニール時間 1 時間を選択した。

【0 0 3 7】なお、図 1 (a) と図 1 (b) の n 型薄膜トランジスタ領域への不純物注入時には p 型薄膜トランジスタ領域はフォトレジスト（図示せず）でマスクされ、図 3 (a) の p 型薄膜トランジスタ領域への不純物注入時には n 型薄膜トランジスタ領域はフォトレジスト（図示せず）でマスクされている。

【0 0 3 8】以上のように本実施の形態によれば、n 型薄膜トランジスタについて、バッファー層 1 2 を介して poly-S i 膜 1 3 の下に金属膜 3 1 を形成しているため、R T A により n 型薄膜トランジスタの poly-S i 膜 1 3 に注入した不純物の活性化を行なう際、バッファー層 1 2 下の金属膜 3 1 が R T A による熱を蓄積する作用を有する。これにより注入した不純物の活性化が必要な poly-S i 膜 1 3 の領域には、R T A の X e ランプ光の吸収に加え、バッファー層 1 2 下の金属膜 3 1 からも熱供給が行われ、効率的に熱が供給されて活性化の効率を高めることができる。したがって、従来のように活性化の効率を高めるため、poly-S i 膜 1 3 の面積を大きくすることによる素子サイズの増加や、R T A のランプパワーを高くしたり照射時間を長くすることによるガラス基板 1 1 の損傷を防止することができる。

【0 0 3 9】〔第 2 の実施の形態〕図 2 および図 3 は本発明の第 2 の実施の形態の薄膜集積回路装置の製造方法を示し、図 2 は同薄膜集積回路装置における n 型薄膜トランジスタの製造工程断面図、図 3 は同薄膜集積回路装置における p 型薄膜トランジスタの製造工程断面図である。

【0 0 4 0】まず図 2 (a) に示すように、ガラス基板 1 1 にスパッタ法にて Mo・W 合金からなる金属膜 3 1 を 1 0 0 nm 形成し、その金属膜 3 1 を島状に加工する。次にプラズマ C V D 法にてバッファー層 1 2 (絶縁層) となる酸化シリコン膜を 4 0 0 nm 形成する。その後、バッファー層 1 2 を形成したガラス基板 1 1 を大気中に

取り出すことなくプラズマ C V D 法にて非晶質シリコン (a-S i) 膜を 5 0 nm 堆積する。ついで a-S i 膜中の水素を低減するため 1 Torr の減圧窒素雰囲気下で 4 5 0 ℃、6 0 分の熱処理を行なった後、エキシマレーザーアニールにて a-S i 膜 1 3 を多結晶化して多結晶シリコン (poly-S i) 膜 1 3 を形成する。エキシマレーザーは波長 3 0 8 nm の X e C l エキシマレーザーを用い、照射は真空中、エネルギー密度は 3 5 0 m J/cm²、平均照射数は 3 5 shot/point である。a-S i 膜を結晶化して poly-S i 膜 1 3 を形成した後、poly-S i 膜 1 3 を島状に加工する。本実施の形態では島状の poly-S i 膜 1 3 と同一形状となるように、金属膜 3 1 を加工している。

【0 0 4 1】続いて図 2 (a) に示すように、n 型薄膜トランジスタのチャネル領域および L D D 領域を被覆するようにフォトレジスト 2 5 にて不純物注入用のマスクを形成し、n 型薄膜トランジスタのソースおよびドレイン領域を形成するため n 型不純物を注入する。ここでは硼イオンを加速電圧 7 0 k e V、ドーズ量 $1 \times 1 0^{15}/c m^2$ にて注入した。

【0 0 4 2】次に、図 2 (b) に示すように、ゲート絶縁膜 1 4 となる酸化シリコン膜 9 0 nm を形成し、その上に Mo・W 合金からなるゲート電極 1 5 を形成する。以上は n 型薄膜トランジスタの工程について説明しているが、p 型薄膜トランジスタについては島状の金属膜 3 1 の形成と n 型不純物の注入以外のものは同時に形成され、ここまで工程で図 3 (a) に示されるゲート電極 1 5 まで形成される。

【0 0 4 3】続いて図 2 (b) に示すように、R T A により、n 型薄膜トランジスタのソースおよびドレイン領域に注入した不純物の活性化処理を行う。活性化に使用した R T A 装置は光源が X e ランプで、ランプパワーは 1 4 k W、基板送り速度は 1 4 mm/秒である。

【0 0 4 4】次に図 3 (a) に示される p 型薄膜トランジスタ領域に、ソースおよびドレイン領域を形成するためゲート電極 1 5 をマスクとして p 型不純物を注入する。ここでは硼素イオンを加速電圧 6 0 k e V、ドーズ量 $1 \times 1 0^{14}/c m^2$ にて注入した。

【0 0 4 5】次に図 2 (c) に示すように、n 型薄膜トランジスタ領域で、ゲート電極 1 5 をマスクとして L D D 領域を形成するため n 型不純物を注入する。ここでは硼イオンを加速電圧 7 0 k e V、ドーズ量 $1 \times 1 0^{13}/c m^2$ にて注入した。図 2 (b), (c) において、1 3 a はチャネル領域となる真性半導体領域、1 3 b は L D D 領域となる低濃度 n 型不純物注入領域、1 3 c はソースおよびドレイン領域 (S D 領域) となる高濃度 n 型不純物注入領域である。

【0 0 4 6】次に図 2 (d) および図 3 (b) に示されるように、n 型および p 型薄膜トランジスタ領域に、層間絶縁膜 1 6 となる酸化シリコン膜を 2 0 0 nm 形成する。

層間絶縁膜16の形成後に、n型薄膜トランジスタ領域にLDD領域を形成するために注入したn型不純物の活性化をRTAまたは熱炉にて行う。その後、コンタクトホールを開口し、TiとAlの積層膜からなる配線21、22を形成する。最後に、窒化シリコンからなる保護絶縁膜23を形成し、水素雰囲気でのアニールを行うことで、poly-Si膜13中の未結合手を水素にて補償し特性を向上させ薄膜トランジスタが完成する。アニールは250°C~400°Cの温度範囲で30分~3時間程度行なうことが望ましく、ここではアニール温度350°C、アニール時間1時間を選択した。

【0047】なお、図2(a)と図2(c)のn型薄膜トランジスタ領域への不純物注入時にはp型薄膜トランジスタ領域はフォトレジスト(図示せず)でマスクされ、図3(a)のp型薄膜トランジスタ領域への不純物注入時にはn型薄膜トランジスタ領域はフォトレジスト(図示せず)でマスクされている。

【0048】以上のように本実施の形態によれば、第1の実施の形態同様、n型薄膜トランジスタについて、バッファーレベル12を介してpoly-Si膜13の下に金属膜31を形成しているため、RTAによりn型薄膜トランジスタのpoly-Si膜13に注入した不純物の活性化を行な際、その活性化の効率を高めることができ、従来のように、poly-Si膜13の面積を大きくすることによる素子サイズの増加や、RTAのランプパワーを高くしたり照射時間を長くすることによるガラス基板11の損傷を防止することができる。

【0049】上記の第1および第2の実施の形態における製造方法により作製されたn型薄膜トランジスタでは、移動度 $150\text{ cm}^2/\text{V}\cdot\text{s}$ 、しきい値 $V_{th}=2.0\text{ V}$ という優れた特性が得られ、n型薄膜トランジスタの諸特性を向上することができた。

【0050】なお、上記第1および第2の実施の形態では、n型薄膜トランジスタとp型薄膜トランジスタとを有する薄膜集積回路装置について説明したが、n型薄膜トランジスタのみの構成について、図1、図2に示される構成およびその製造方法を適用することで、前述の効果が得られるることは言うまでもない。また、上記実施の形態のように、n型薄膜トランジスタにLDD領域を設けることによりリーク電流の低減の効果を得ることができる。

【0051】また、上記第1および第2の実施の形態では、島状のpoly-Si膜13の直下に同じ大きさの島状の金属膜31を形成したが、金属膜31がpoly-Si膜13と同じかそれよりも若干大きい形状で、金属膜31の形成領域内にpoly-Si膜13が形成されてあれば、金属膜31がRTAにより吸収した熱をpoly-Si膜13に効果的に供給することができる。

【0052】また、金属膜31の材料としては、高耐熱性と高吸熱性の点から、高融点で熱容量の大きい金属材

料が望ましく、第1および第2の実施の形態のようにゲート電極15と同一材料とすることにより、金属膜31とゲート電極15の形成膜を同一の装置で形成できる。

【0053】また、第1および第2の実施の形態では、RTAによるn型不純物の活性化処理を行うのに、RTAによるランプ光をガラス基板11の表面側から照射するようにしたが、さらにガラス基板11の裏面側からも照射するようにし、両面から照射することにより、活性化の効率をさらにより高めることができる。

【0054】また、図1および図2のn型薄膜トランジスタを液晶表示装置の画素電極のスイッチング素子として用いた場合、すなわち複数の画素電極とこの各画素電極に接続された複数のn型薄膜トランジスタとを設けた第1の基板と、画素電極と対向配置する透明電極を設けた第2の基板との間に、液晶層を挟持して液晶表示パネルを構成し、この液晶表示パネルの第1の基板の外側にバックライトを配置した液晶表示装置において、n型薄膜トランジスタとして図1や図2の薄膜トランジスタを用いることにより、n型薄膜トランジスタの素子サイズを小さくし、高精細な液晶表示パネルを実現できる。また、薄膜トランジスタに設けられた金属膜がバックライト光の多結晶シリコン膜への入射を遮断するため、バックライト光による光電流の発生を抑制する効果も得られ、クロストークの発生も抑制でき、液晶表示装置の表示特性を向上させることができる。

【0055】

【発明の効果】以上のように本発明によれば、n型薄膜トランジスタの多結晶シリコン膜の下に絶縁層を介して金属膜を形成しているため、多結晶シリコン膜のソースおよびドレイン領域のn型不純物のアニールによる活性化を行な際、多結晶シリコン膜の下の金属膜にアニールによる熱が吸収蓄積され、その熱が多結晶シリコン膜に対して相乗的に作用し、活性化の効率を高めることができる。したがって、従来のように活性化の効率を高めるため、多結晶シリコン膜の面積を大きくすることによる素子サイズの増加や、アニールのランプパワーを高くしたり照射時間を長くすることによるガラス基板の損傷を防止することができる。

【0056】さらに、この構成の薄膜トランジスタをTFT型の液晶表示装置に用いることにより、薄膜トランジスタの素子サイズを小さくし、高精細な液晶表示パネルを実現できる。また、薄膜トランジスタに設けられた金属膜がバックライトの光の多結晶シリコン膜への入射を遮断するため、バックライト光による光電流の発生を抑制する効果も得られ、クロストークの発生も抑制でき、液晶表示装置の表示特性を向上させることができる。

【0057】このように本発明は、薄膜トランジスタの特性および信頼性を向上させ、さらにはTFT型液晶表示装置の表示特性も向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における薄膜集積回路装置が有するn型薄膜トランジスタの製造工程断面図。

【図2】本発明の第2の実施の形態における薄膜集積回路装置が有するn型薄膜トランジスタの製造工程断面図。

【図3】本発明の第1、第2の実施の形態における薄膜集積回路装置が有するp型薄膜トランジスタの製造工程断面図。

【図4】従来の薄膜トランジスタの製造工程断面図。

【符号の説明】

1 1 ガラス基板

1 2 バッファー層

1 3 多結晶シリコン膜

1 3 a 真性半導体領域

1 3 b 低濃度n型不純物注入領域

1 3 c 高濃度n型不純物注入領域

1 3 d 真性半導体領域

1 3 e p型不純物注入領域

1 4 ゲート絶縁膜

1 5 ゲート電極

1 6 層間絶縁膜

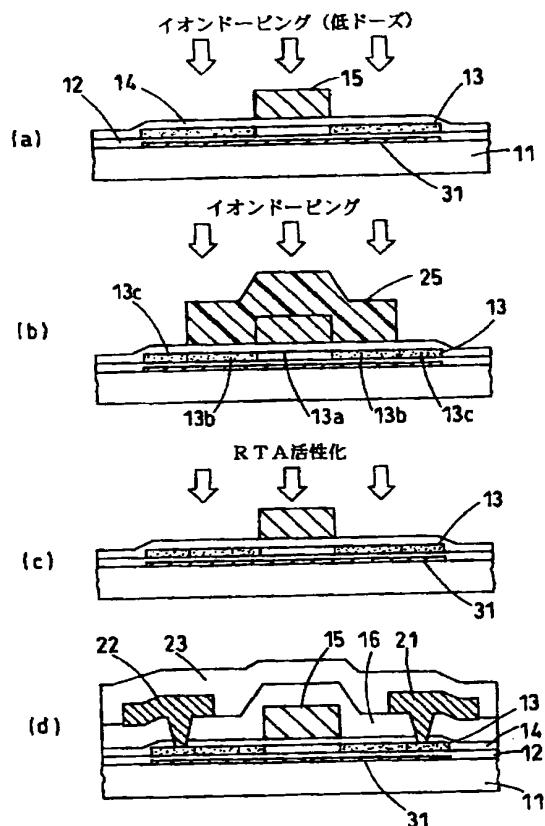
2 1, 2 2 配線

2 3 保護絶縁膜

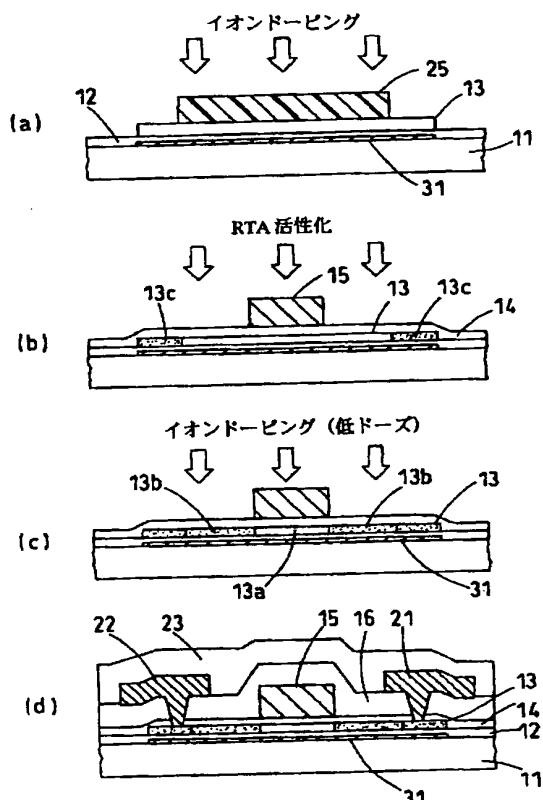
2 5 フォトレジスト

3 1 金属膜

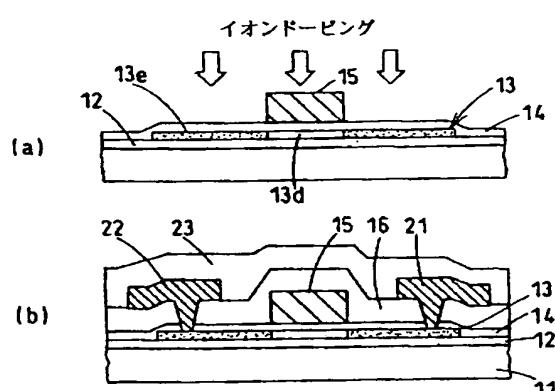
【図1】



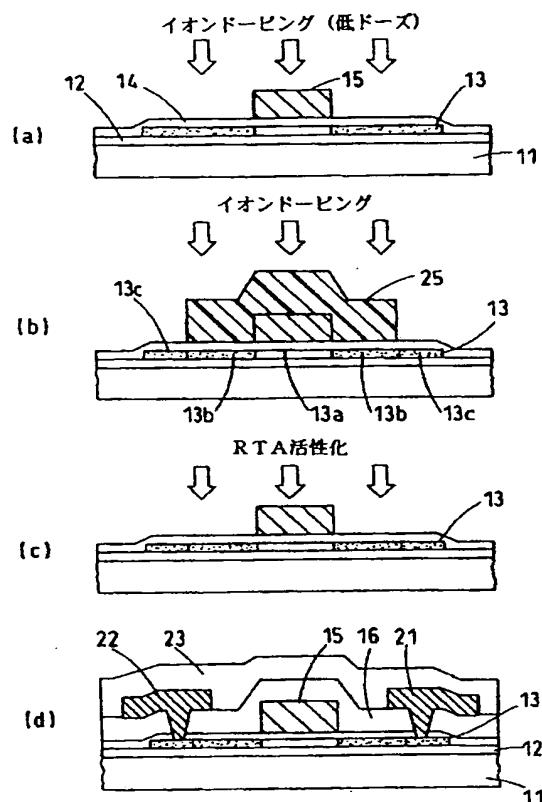
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 0 1 L 29/78

テ-マコ-ド (参考)

6 1 7 M
6 2 7 F

Fターム(参考) 2H092 GA59 JA25 JA36 JA40 JA44
JA46 KA04 KA07 KA10 KA15
MA03 MA27 MA29 MA30 NA27
PA09
5F110 AA01 AA06 AA08 AA13 AA17
AA19 BB01 BB04 CC02 DD02
DD12 DD13 DD24 EE06 FF02
GG02 GG13 GG25 GG26 GG35
GG45 HJ01 HJ04 HJ12 HJ13
HJ23 HL03 HL04 HL11 HM15
NN03 NN04 NN23 NN24 NN43
NN45 NN54 PP02 PP03 PP04
PP05 PP10 PP13 PP29 PP35
QQ09 QQ11 QQ24